

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45900

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

3 0 1 S

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平7-193569

(22) 出願日 平成7年(1995)7月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 児玉 紀行

東京都港区芝五丁目7番1号 日本電気株式会社内

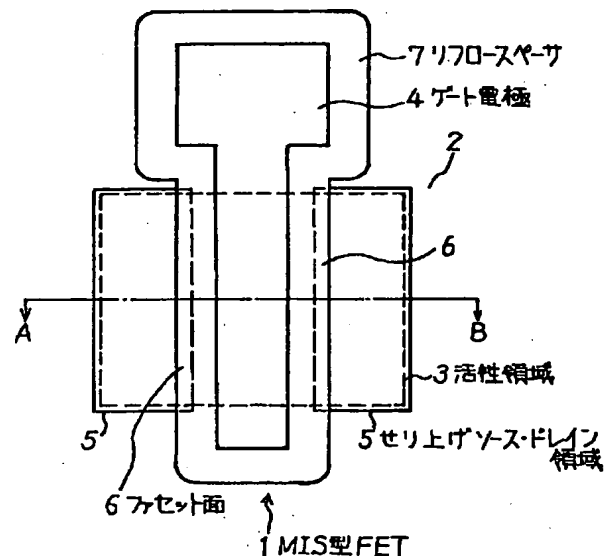
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 M I S型F E Tおよびその製造方法

## (57) 【要約】

【目的】 ソース・ドレイン領域の接合深さが浅く、信頼性の高い超微細なM I S型F E Tを簡便に製造する。

【構成】 本発明のM I S型F E Tでは、半導体基板の主面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極を挟んで前記半導体基板の主面に形成された一導電型の2つのソース・ドレイン拡散層とを有し、前記ソース・ドレイン拡散層の形成される領域の半導体基板の主面に、同導電型不純物のドーパされた半導体薄膜層が選択的に形成され、前記ゲート電極の側壁面に面する前記半導体薄膜の端部にファセット面が形成され、前記ファセット面および前記ゲート電極の側壁面が、高濃度不純物を含有し熱流動性のある側壁絶縁体で被覆される。



1

## 【特許請求の範囲】

【請求項1】 半導体基板の主面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極を挟んで前記半導体基板の主面に形成された一導電型の2つのソース・ドレイン拡散層とを有し、前記ソース・ドレイン拡散層の形成される領域の半導体基板の主面に、同導電型不純物のドーパされた半導体薄膜層が選択的に形成され、前記ゲート電極の側壁面に面する前記半導体薄膜の端部にファセット面が形成され、前記ファセット面および前記ゲート電極の側壁面が、高濃度不純物を含有し熱流動性のある側壁絶縁体で被覆されていることを特徴とするMIS型FET。

【請求項2】 半導体基板の主面のゲート絶縁膜上にゲート電極を形成した後、前記ゲート電極の側壁面に前記側壁絶縁体を形成する工程と、ソース・ドレイン拡散層を形成する領域の前記半導体基板の主面に半導体薄膜層を選択的に成長させる工程と、前記半導体薄膜層の成長後、熱処理で前記側壁絶縁体を熱流動させ前記ファセット面を前記熱流動した側壁絶縁体で被覆する工程と、を含むことを特徴とするMIS型FETの製造方法。

【請求項3】 前記半導体薄膜層を選択的に成長させる温度が、前記側壁絶縁体を熱流動させる温度より低い温度に設定されていることを特徴とする請求項2記載のMIS型FETの製造方法。

【請求項4】 前記半導体薄膜層と前記熱流動した側壁絶縁体から前記一導電型の不純物を前記半導体基板内に熱拡散させて前記ソース・ドレイン拡散層を形成することを特徴とする請求項2記載のMIS型FETの製造方法。

【請求項5】 前記半導体薄膜層の表面に高融点金属のシリサイド層を形成する工程を含むことを特徴とする請求項2、請求項3または請求項4記載のMIS型FETの製造方法。

【請求項6】 前記側壁絶縁体を熱流動させ前記ファセット面を前記熱流動した側壁絶縁体で被覆した後、前記半導体薄膜層に前記一導電型の不純物をイオン注入し、前記半導体薄膜層および前記半導体基板内部に一導電型の不純物をドーパするとともに前記ゲート電極内にも同一不純物をドーパすることを特徴とする請求項2記載のMIS型FETの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はMIS型FETおよびその製造方法に関し、さらに詳細に言えば、半導体基板の主面からせり上げられたソース・ドレイン領域を有するMIS型FETとその製造方法に関する。

## 【0002】

【従来の技術】 微細加工技術の進歩に伴い、ゲート長が $0.1\mu\text{m}$ を下回るような微細なMIS型FETの作製が可能になっている。しかし、ゲート長が $0.1\mu\text{m}$ 程

2

度のデバイスでは、短チャネル効果を抑制するために、ソース・ドレインの接合領域の深さは $50\text{nm}$ 程度と非常に浅くなる。

【0003】 通常の不純物のイオン注入法では、導電型がP型の不純物であるホウ素は、不純物の活性化のための熱処理を施すと増速拡散を起こし不純物分布範囲が大きく広がり、 $50\text{nm}$ 程度の浅い接合形成は困難となる。また、接合の深さが浅いと、ソース・ドレインの層抵抗が大きくなるだけでなく、配線との電気接続のためのコンタクト孔の形成も困難になる。

【0004】 そこで、浅い接合領域の形成法として、ソース・ドレイン領域を半導体基板の表面からせり上げる方法が種々に検討されている。このソース・ドレイン領域のせり上げ法について特開平2-222153号公報に示されている技術で説明する。

【0005】 図6は、特開平2-222153号公報に示されたせり上げ構造のMIS型FETの製造工程順の断面図である。図6(a)に示すように、半導体基板101上に選択的にフィールド絶縁膜102が形成される。そして、ゲート絶縁膜103が半導体基板上に形成され、このゲート絶縁膜上にゲート電極104が、リン等の不純物を含む多結晶シリコンで形成される。

【0006】 ゲート電極104の側壁に側壁スペース用絶縁体105が酸化物で形成される。ここで、その厚さは $20\text{nm}\sim 90\text{nm}$ である。その後、極めて浅い接合領域106が第1のイオン注入により作製される。この接合領域106は、導電型がN型の不純物（例えば、ヒ素、リン、またはアンチモン）あるいはP型の不純物（例えば、ホウ素）のいずれかを、 $5\times 10^{17}/\text{cm}^3$ から $1\times 10^{20}/\text{cm}^3$ の表面密度に注入することによって作製される。

【0007】 次に、図6(b)に示すように、せり上げソース・ドレイン領域107が、エピタキシャル・シリコンを $100\text{nm}\sim 200\text{nm}$ の範囲の厚さの層に選択的に堆積することにより形成される。ここで、フィールド絶縁膜102とせり上げソース・ドレイン領域107との間に小表面であるファセット面108が形成され、さらに、前述のせり上げソース・ドレイン領域107と側壁スペース用絶縁体105との間にもファセット面109が形成される。

【0008】 次に、図6(c)に示すように、側壁スペース用絶縁体105とせり上げソース・ドレイン領域107とに隣接し、ファセット面109を埋設するように第1側壁スペース110が形成される。同様に、フィールド絶縁膜102とせり上げソース・ドレイン領域107との間にあるファセット面108を埋設する第2側壁スペース111も形成される。この第1および第2側壁スペースは、トラジスタとなる領域の全体の上に絶縁体膜を約 $100\text{nm}\sim 200\text{nm}$ の厚さに堆積し、続けてドライエッチングによるエッチバックを施して同時に形

成される。

【0009】次に、図6(d)に示すように、第2のイオン注入により再度不純物が導入され熱処理が施される。ここで、この段階の注入不純物は第1のイオン注入の不純物と同一のものである。このようにして、浅い接合112が形成される。

【0010】次に、せり上げソース・ドレイン領域107とゲート電極104の表面に、それぞれ低抵抗のシリサイド層113および114が形成される。このシリサイド層113および114の作製は、図6(d)の構造体の全体の上にチタン膜を堆積し窒素雰囲気中での熱処理を施し露出するシリコンとチタン膜とを反応させて、チタン・シリサイド層を形成することで行なわれる。

【0011】この従来の技術では、第1側壁スペーサ110および第2側壁スペーサ111は、前述した第2のイオン注入において、ファセット面108および109の凹部を通る不純物イオン注入を無くし、浅い接合112の拡散領域が局部的に深くなるのを防止する役割を持つ。あるいは、これらのスペーサは、先述したシリサイド層の形成工程でファセット面108および109の凹部の中を通して半導体基板表面にシリサイド層が形成されスパイク状の接合不良領域の形成されるのを防止する役割を有する。

【0012】

【発明が解決しようとする課題】このようなせり上げ構造のソース・ドレイン領域を有するMIS型FETでは、先述したようなファセット面がエピタキシャル・シリコン層の端部に形成される。そして、このファセット面による凹部の形成は、何らかの対策を施さない限り、先述したような深い拡散領域の形成あるいはスパイク状の接合不良領域の形成を生じさせる。

【0013】また、従来の技術では、このファセット面によって形成される凹部を埋めるためにさらに新たな側壁スペーサすなわち第1側壁スペーサおよび第2側壁スペーサが形成されるが、この場合にはMIS型FETの製造工程数が増加するだけでなく、ソース・ドレイン領域の不純物濃度の制御が困難になる。そして、超微細なMIS型FETの実現は難しくなる。

【0014】本発明の目的は、先述した問題点を解決する簡便な方法を提供し、信頼性が高く超微細なMIS型FETの製造を容易にすることにある。

【0015】

【課題を解決するための手段】このために本発明のMIS型FETでは、半導体基板の主面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極を挟んで前記半導体基板の主面に形成された一導電型の2つのソース・ドレイン拡散層とを有し、前記ソース・ドレイン拡散層の形成される領域の半導体基板の主面に、同導電型不純物のドーピングされた半導体薄膜層が選択的に形成され、前記ゲート電極の側壁

面に面する前記半導体薄膜の端部にファセット面が形成され、前記ファセット面および前記ゲート電極の側壁面が、高濃度不純物を含有し熱流動性のある側壁絶縁体で被覆されている。

【0016】そして、その製造方法は、半導体基板の主面のゲート絶縁膜上にゲート電極を形成した後、前記ゲート電極の側壁面に前記側壁絶縁体を形成する工程と、ソース・ドレイン拡散層を形成する領域の半導体基板の主面に半導体薄膜層を選択的に成長させる工程と、前記半導体薄膜層の成長後、熱処理で前記側壁絶縁体を熱流動させて、前記ファセット面を前記熱流動した側壁絶縁体で被覆する工程とを含む。

【0017】ここで、前記半導体薄膜層を選択的に成長させる温度が、前記側壁絶縁体を熱流動させる温度より低い温度に設定される。

【0018】あるいは、前記半導体薄膜層と前記熱流動した側壁絶縁体から前記一導電型の不純物を前記半導体基板内に熱拡散させソース・ドレイン拡散層を形成する。

【0019】あるいは、前記半導体薄膜層の表面に高融点金属のシリサイド層を形成する工程を含む。

【0020】あるいは、前記側壁絶縁体を熱流動させ前記ファセット面を前記熱流動した側壁絶縁体で被覆した後、前記半導体薄膜層に前記一導電型の不純物をイオン注入し、前記半導体薄膜層および前記半導体基板内部に一導電型の不純物をドーピングするとともに前記ゲート電極内にも同一不純物をドーピングする工程を含む。

【0021】以上のように、本発明ではMIS型FETのソース・ドレイン領域は半導体基板の表面からせり上げられ、ゲート電極の側壁面に1種類の側壁絶縁体が形成される。そして、その後の熱処理によりゲート電極の側壁面とせり上げソース・ドレイン領域間の凹部に前述の側壁絶縁体が熱流動で埋設される。また、この側壁絶縁体に含まれる不純物が半導体基板内に熱拡散しソース・ドレイン拡散層が形成される。このように1種類の側壁絶縁体がスペーサ用の絶縁膜および不純物拡散源になりMIS型FETの製造工程が短縮する。

【0022】

【発明の実施の形態】次に、図面を参照して本発明の実施の形態を説明する。図1は、本発明の実施の形態を説明するためのMIS型FETの平面図である。

【0023】図1に示すように、本発明のMIS型FET1は次のように形成されている。すなわち、シリコン基板上のフィールド絶縁膜2に囲われた活性領域3とゲート絶縁膜を介してシリコン基板と絶縁されるゲート電極4が形成される。ここで、このゲート電極4はタングステン・ポリサイドで構成される。そして、活性領域3の所定の領域にせり上げソース・ドレイン領域5が形成される。ここで、このせり上げソース・ドレイン領域5はシリコンの選択的エピタキシャル成長で形成され、ヒ

5

素、リンあるいはホウ素等の不純物を含有するものとする。

【0024】このせり上げソース・ドレイン領域5の端部には、先述したようなファセット面6が形成される。そして、このファセット面6を被覆し、前述のゲート電極4の側壁に沿うリフロースペーサ7が形成される。ここで、このリフロースペーサ7は、ヒ素、リンあるいはホウ素を含有する側壁絶縁体で構成されるものとする。そして、この不純物を含有するリフロースペーサ7からシリコン基板の表面に不純物が拡散され、MIS型FETのソース・ドレイン領域の接合領域が前述のシリコン基板表面に形成されるようになる。

【0025】次に、このようなMIS型FETの製造方法を図2と図3に基づいて説明する。図2と図3は、本発明の第1の製造方法を示す工程順の断面図である。ここで、これらの断面図は、図1に示すA-Bでの切断面に相当している。

【0026】図2(a)に示すように、結晶の面方位が(100)のシリコン基板11の表面に選択的にフィールド絶縁膜12を形成する。このフィールド絶縁膜12は、初めこの領域にドライエッチングで形成された溝にシリコン酸化膜等の絶縁膜が埋設され化学的機械研磨(CMP)法で平坦化されたものである。あるいはリセスLOCOSの方法によりシリコン基板表面の選択的に熱酸化された厚いシリコン酸化膜である。

【0027】次に、シリコン基板11の表面にゲート絶縁膜13を形成する。ここで、このゲート絶縁膜13は熱酸化により形成される膜厚6nm程度のシリコン酸化膜である。そして、このゲート絶縁膜13上にゲート電極14を形成する。ここで、このゲート電極14はタングステン・ポリサイド等の高融点金属のポリサイドで形成される。ここで、MIS型FETがPチャネル型の場合には、このタングステン・ポリサイドにはホウ素が含有される。そして、Nチャネル型の場合にはリンあるいはヒ素が含有される。

【0028】さらに、このゲート電極14上に膜厚20nmのシリコン窒化膜で構成される保護絶縁膜15を形成する。ここで、これらのゲート電極14あるいは保護絶縁膜15は、公知の化学気相成長(CVD)法による膜の堆積とドライエッチングによる微細加工で形成される。

【0029】次に、膜厚が50nm程度で熱流動(熱リフロー)性のある不純物含有絶縁膜16をCVD法で直接にシリコン基板11の主面に接して形成する。ここで、MIS型FETがPチャネル型の場合には、この不純物含有絶縁膜16はBSG膜(ボロンガラスを含むシリコン酸化膜)であり、膜中のホウ素の量は10モル%程度になるように設定される。また、MIS型FETがNチャネル型の場合には、この不純物含有絶縁膜16はAsSG膜(ヒ素を含有するシリコン酸化膜)あるいは

6

PSG膜(リンガラスを含むシリコン酸化膜)であり、膜中のこれらの不純物量は1.0~1.2モル%になるように設定される。

【0030】次に、図2(a)の構造の不純物含有絶縁膜16を異方性のドライエッチングでエッチバックする。このエッチバックにより、図2(b)に示すように、側壁絶縁体となる膜厚50nm程度の側壁スペーサ17をゲート絶縁膜13、ゲート電極14および保護絶縁膜15の側壁部に形成する。ここで、ドライエッチングの反応ガスとして、CF<sub>4</sub>とCHF<sub>3</sub>とCOの混合ガスが用いられる。このようなドライエッチングの条件では、不純物含有絶縁膜16と保護絶縁膜15とのエッチング速度比は30以上になり、このエッチバックの工程で保護絶縁膜15はほとんどエッチングされない。また、不純物含有絶縁膜16とフィールド絶縁膜12とのエッチング速度比は10以上になる。そこで、前述のエッチバック工程で200%程度のオーバエッチを行いフィールド絶縁膜12の表面を10nm程度エッチングする。ここで、このようなエッチバックでは、シリコン基板11の表面は全くエッチングされない。このようにして、図2(b)に示すようにシリコン基板の表面を露出させるとともに、シリコン端部18を形成する。

【0031】次に、図2(c)に示すように、膜厚が100nm程度のせり上げソース・ドレイン領域19を形成する。このせり上げソース・ドレイン領域19は、減圧CVD法によるシリコンの選択的エピタキシャル成長で形成される単結晶シリコン膜である。ここで、この成長の温度は750~800℃に設定される。このような温度では、前述の不純物含有絶縁膜の熱リフローは生じない。また、反応ガスとしてはSiH<sub>2</sub>Cl<sub>2</sub>とHClの混合ガスが用いられる。そして、MIS型FETがPチャネル型の場合には、反応ガスにB<sub>2</sub>H<sub>6</sub>を混入させホウ素を高濃度を含むエピタキシャル・シリコン層を堆積させる。また、MIS型FETがNチャネル型の場合には、反応ガスにAsH<sub>3</sub>を混入させヒ素を高濃度を含むエピタキシャル・シリコン層を堆積させる。ここで、これらの不純物の濃度は1.0<sup>19</sup>~1.0<sup>20</sup>/cm<sup>3</sup>になるように設定される。

【0032】このような選択的エピタキシャル成長では、側壁スペーサ17に隣接する領域に(311)面と同価な結晶面である{311}面あるいは同様に{111}面等のファセット面20が形成される。また、前述したシリコン端部18では、フィールド絶縁膜12の一部を被覆するようにしてシリコン層は成長し{100}面であるせり上げ端部21が形成される。

【0033】次に、窒素雰囲気中、850℃程度での熱処理を施し側壁スペーサ17を熱リフローさせて、図3(a)に示すリフロースペーサ22を形成し前述のファセット面20を埋設させる。

【0034】次に、図3(b)に示すように、1000

7

℃程度の急速加熱法により不純物をシリコン基板表面に導入して接合領域2-3を形成する。ここで、これらの不純物の拡散源は、せり上げソース・ドレイン領域1-9およびリフロースペース2-2である。

【0035】ここで、側壁スペース1-7を熱リフローする工程と接合領域2-3を形成する工程とを1熱処理の工程で行ってもよい。この場合には、熱処理は温度900℃の熱処理炉で行われる。

【0036】次に、図3(a)に示したゲート電極1-4上の保護絶縁膜1-5を除去する。そして、せり上げソース・ドレイン領域1-9とゲート電極1-4の表面に、それぞれ低抵抗のシリサイド層2-4および2-5を形成する。このシリサイド層2-4および2-5の作製は、図3(b)の構造体の全体の上にチタン膜を堆積し窒素雰囲気中の熱処理を施し露出するシリコンとチタン膜とを反応させて、チタン・シリサイド層を形成することで行なわれる。ここで、フィールド絶縁膜1-2表面およびリフロースペース2-2表面に形成される窒化チタンは選択的に除去される。

【0037】本発明の製造方法によると、せり上げ法で問題であったファセット面は、側壁スペース1-7を熱リフローさせることで容易に埋め込まれる。また、せり上げられたソース・ドレイン領域1-9表面からの接合領域の深さは、150nm程度と従来のMIS型FETと同様の値にできるので層抵抗、コンタクト抵抗の増加を防止できる。

【0038】また、接合領域のシリコン基板表面からの深さはせり上げた領域の膜厚だけ実効的に浅くなるので、その値は50nm程度となりソースとドレイン間のパンチスルーは容易に防止されるようになる。

【0039】この製造方法で図2(c)に示したシリコンの選択的エピタキシャル成長において生じるファセット面2-0が、側壁スペース1-7から大きく離れた位置にまで及び、その幅が広くなることがある。この場合に、図3(a)に示すリフロースペース2-2が前述のファセット面2-0を被覆するためには以下のようにすることが効果的となることに言及しておく。すなわち、図2

(a)に示した保護絶縁膜1-5の膜厚を300nm程度と厚くする。このようにするとゲート電極1-4を含む側壁の高さは増大し側壁スペース1-7の高さも増加する。この状態で側壁スペース1-7の熱リフローを行うと、側壁スペース1-7は横方向に広く流動するようになる。そして、リフロースペース2-2は前述したような幅の広いファセット面2-0を完全に被覆するようになる。

【0040】次に、本発明の第2の製造方法を図4と図5に基づいて説明する。図4および図5は、本発明のMIS型FETの製造工程順の断面図である。ここで、これらの断面図は図1に示したA-Bでの切断面に相当する。

【0041】図4(a)に示すように、結晶の面方位

8

(100)のシリコン基板3-1の表面に選択的にフィールド絶縁膜3-2を形成する。次に、シリコン基板3-1の表面にゲート絶縁膜3-3を形成する。ここで、このゲート絶縁膜3-3は熱酸化により形成されるシリコン酸化膜である。そして、このゲート絶縁膜3-3上にゲート電極3-4を形成する。ここで、このゲート電極3-4はタングステン・ポリサイドである。ここで、このタングステン・ポリサイドは不純物を含まない。

【0042】さらに、このゲート電極3-4上にシリコン窒化膜で構成される第1保護絶縁膜3-5を形成する。ここで、これらのゲート電極3-4と第1保護絶縁膜3-5は、公知のCVD法による膜の堆積とドライエッチングによる微細加工とで形成されるものとする。

【0043】次に、CVD法で膜厚が20nmのシリコン酸化薄膜3-6を形成する。そして、ヒ素不純物あるいはホウ素不純物のイオン注入で接合領域3-7を形成する。

【0044】次に、膜厚が30nm程度の不純物含有絶縁膜3-8をCVD法で形成する。ここで、この不純物含有絶縁膜3-8は第1の製造方法で説明したBSG膜であり、膜中のホウ素の量は10mol%程度になるように設定される。

【0045】次に、図4(a)の構造の不純物含有絶縁膜3-8を第1の製造方法と同様にエッチバックする。このエッチバックにより、図4(b)に示すように、膜厚50nm程度の側壁スペース3-9をゲート絶縁膜3-3、ゲート電極3-4および第1保護絶縁膜3-5の側壁部にシリコン酸化薄膜3-6を介して形成する。ここで、ドライエッチングの反応ガスとして、 $\text{CHF}_3$ とCOの混合ガスが用いられる。このようなドライエッチングの条件では、不純物含有絶縁膜3-8とシリコン酸化薄膜3-6とのエッチング速度はほぼ同程度になる。そこで、前述のエッチバック工程ではシリコン酸化薄膜3-6もエッチングし第2保護絶縁膜4-0を形成する。また、オーバエッチを行いフィールド絶縁膜3-2の表面を10nm程度エッチングする。ここで、このようなエッチバックでは、シリコン基板3-1の表面は全くエッチングされない。このようにして、図4(b)に示すようにシリコン基板の表面を露出させるとともに、シリコン端部4-1を形成する。

【0046】次に、図4(c)に示すように、膜厚が200nm程度のせり上げソース・ドレイン領域4-2を形成する。このせり上げソース・ドレイン領域4-2は、減圧CVD法によるシリコンの選択的エピタキシャル成長で形成される。ここで、このせり上げソース・ドレイン領域4-2は不純物を含まない。このエピタキシャル成長の温度は750~800℃に設定される。このような温度では、前述の不純物含有絶縁膜間の熱リフローは生じない。また、反応ガスとしては $\text{SiH}_2\text{Cl}_2$ とHClの混合ガスが用いられる。

9

【0047】このような選択的エピタキシャル成長では、側壁スペーサ3-9に隣接する領域に結晶面-13-1

11面あるいは111面等の小表面であるファセット面43が形成される。また、前述したシリコン端部41では、フィールド絶縁膜32の一部を被覆するようにしてシリコン層は成長し100面であるせり上げ端部44が形成される。

【0048】次に、窒素雰囲気中、850度程度での熱処理を施し側壁スペーサ39を熱リフローさせて、図5(a)に示すリフローズスペース45を形成し前述のファセット面43を埋設させる。そして、ヒ素あるいはホウ素のイオン注入を行い、ゲート電極34とせり上がりソース・ドレイン領域42とにこれらの不純物を導入する。次に、図5(b)に示すように、1000℃程度の急速加熱法により不純物をシリコン基板表面に導入して接合領域37aを形成する。

【0049】次に、図5(a)に示したゲート電極34上の第1保護絶縁膜35を除去する。そして、せり上がりソース・ドレイン領域42とゲート電極34の表面に、それぞれ低抵抗のシリサイド層46および47を形成する。このシリサイド層46および47の作製は、第1の製造方法で説明したのと同様である。

【0050】この本発明の製造方法では、Nチャネル型MIS型FETとPチャネル型MIS型FETとにおいて、前述のリフローズスペースは同一の材料が用いられる。このため、CMOSでのリフローズスペースは同一の工程で形成でき全体の製造工程が短縮するようになる。

【0051】

【発明の効果】以上述べたように、本発明では熱リフロー性のある絶縁膜で側壁絶縁体を形成した後に、シリコンの選択的エピタキシャル成長をしてせり上げられたソース・ドレイン領域を形成する。そして、前述の側壁絶縁体を熱処理でリフローさせ、選択エピタキシャル成長で形成されるファセット面の領域の凹部をこの側壁絶縁体で埋設する。

【0052】このために、超微細MIS型FETの製造工程が従来の技術の場合より短縮する。

【0053】なお、MOSトランジスのソース・ドレイン領域の層抵抗、配線とのコンタクト抵抗は低減する。さらに、ソース・ドレイン領域形成のための不純物のイオン注入工程、シリサイド化工程で生じる深い拡散層あるいは接合不良領域の形成は防止される。

【0054】そして、前述の側壁絶縁体にソース・ドレイン領域の導電型と同じ導電型の不純物を含む絶縁膜を選択することで、側壁絶縁体の下部の半導体基板表面に

10

極浅い接合が形成できるようになり、MIS型FETの短チャネル効果を抑制することができる。

【0055】このようにして、信頼性が高く超微細なMIS型FETの製造が容易になる。

【0056】

【図面の簡単な説明】

【図1】本発明を説明するためのMIS型FETの平面図である。

【図2】本発明の第1の製造方法を説明するための工程順の断面図である。

【図3】本発明の第1の製造方法を説明するための工程順の断面図である。

【図4】本発明の第2の製造方法を説明するための工程順の断面図である。

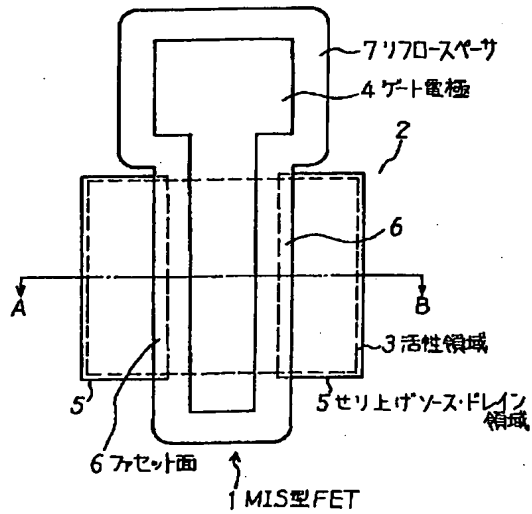
【図5】本発明の第2の製造方法を説明するための工程順の断面図である。

【図6】従来を技術を説明する製造工程順の断面図である。

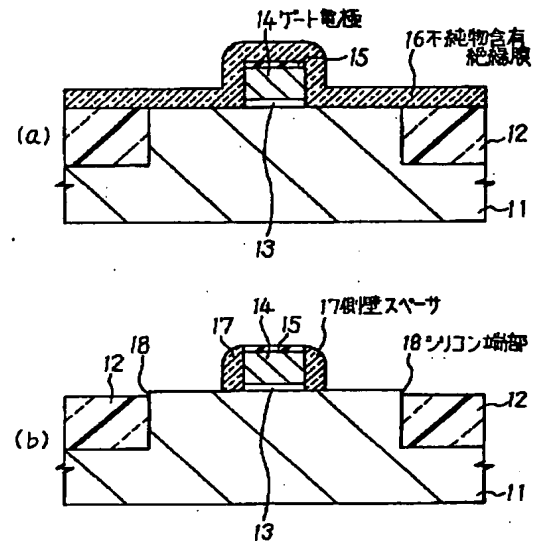
【符号の説明】

- |                          |                 |
|--------------------------|-----------------|
| 1                        | MIS型FET         |
| 2, 12, 32, 102           | フィールド絶縁膜        |
| 3                        | 活性領域            |
| 4, 14, 34, 104           | ゲート電極           |
| 5, 19, 42, 107           | せり上がりソース・ドレイン領域 |
| 6, 20, 43, 108, 109      | ファセット面          |
| 7, 22, 45                | リフローズスペース       |
| 11, 31                   | シリコン基板          |
| 13, 33, 103              | ゲート絶縁膜          |
| 15                       | 保護絶縁膜           |
| 16, 38                   | 不純物含有絶縁膜        |
| 17, 39                   | 側壁スペーサ          |
| 18, 41                   | シリコン端部          |
| 21, 44                   | せり上げ端部          |
| 23, 37, 37-a, 106        | 接合領域            |
| 24, 25, 46, 47, 113, 114 | シリサイド層          |
| 35                       | 第1保護絶縁膜         |
| 36                       | シリコン酸化薄膜        |
| 40                       | 第2保護絶縁膜         |
| 101                      | 半導体基板           |
| 105                      | 側壁スペース用絶縁体      |
| 110                      | 第1側壁スペーサ        |
| 111                      | 第2側壁スペーサ        |
| 112                      | 浅い接合            |

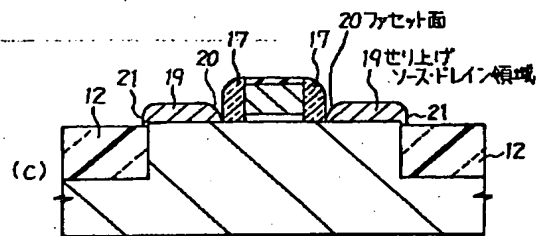
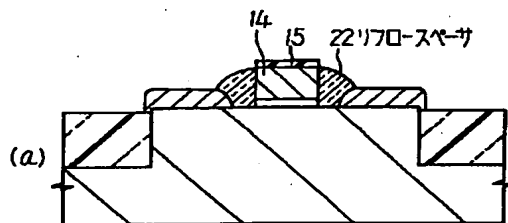
【図-1】



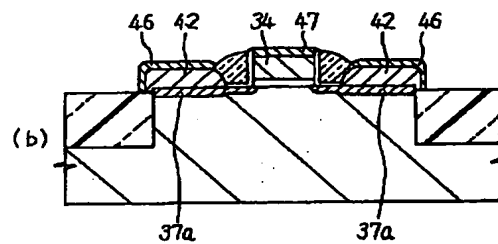
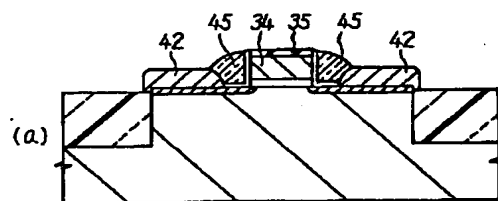
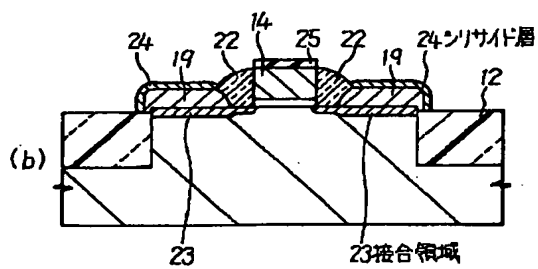
【図-2】



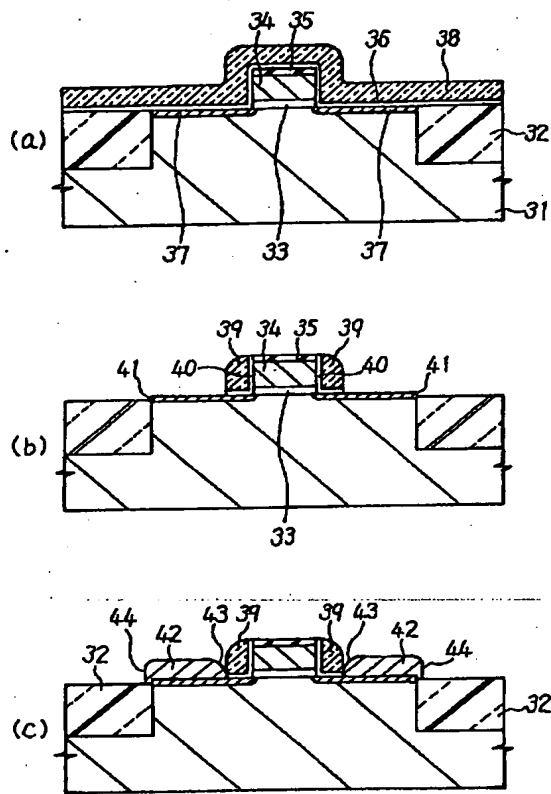
【図3】



【図5】



【図4】



【図6】

